

SVPDC3605

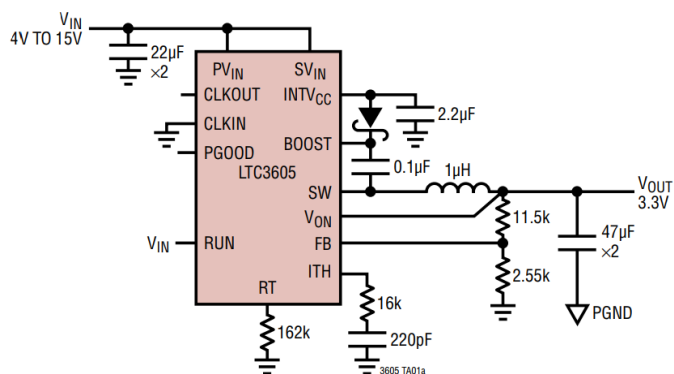
特性

- 支持 VIN 电源输入范围：4V ~ 15V
- 支持 0.6V ~ 5.5V 的输出电压范围，4A 连续（5A 峰值）输出电流
- 支持多芯片（12 个）并联使用
- 频率调节范围：800kHz ~ 4MHz
- 内置耐高压 MOS 管器件
- 最高转换效率 96%
- 关断电流低至 15uA
- 过压、欠压和过流保护机制
- 容软错误特性
- AEC-Q100 grade1 认证标准
- 封装 QFN24

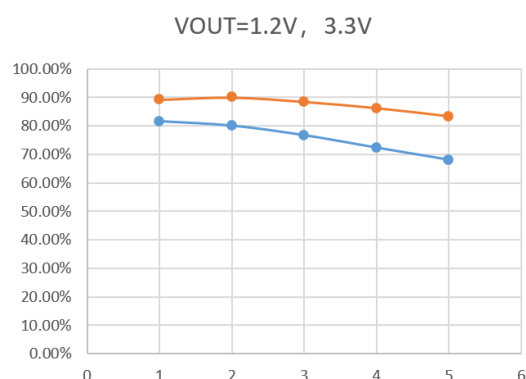
应用领域

- 汽车：自动驾驶主控板、汽车大屏中控系统、雷达、摄像头等传感器阵列
- 工业：服务器、基站等

典型应用



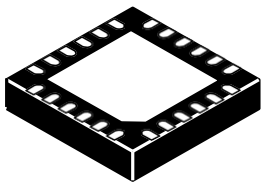
芯片效率



绝对最大值 ^(†)

引脚排列

参数	范围
引脚至 GND 电压 (PVIN,SVIN,SW,EN)	-0.3V~22.5V
引脚至 GND 电压 (SW Transient)	-2V~24.5V
引脚至 GND 电压(BST)	-0.3V~PVIN+VCC
引脚至 GND 电压(V _{ON})	-0.3V~SVIN
引脚至 GND 电压(VCC)	-0.3V~3.6V
引脚至 GND 电压 (ITH,RT,PG,CLKIN,CLKOUT)	-0.3V~VCC
引脚至 GND 电压 (PHMODE,MODE,TRACK/SS,FB)	-0.3V~VCC
工作结温	-40°C to 125°C
储存温度	-65°C to 150°C
ESD 额定值 (HBM)	±2KV
ESD 额定值 (CDM)	±1KV



QFN4X4-24 Package

[†] 注： 如果器件工作条件超过上述“绝对最大值”，可能引起器件永久性损坏。这仅是极限参数，不建议器件在极限值或超过上述极限值的条件下工作。器件长时间工作在极限条件下可能会影响其可靠性。

警告



ESD(静电放电) 敏感器件。
带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量 ESD 时，器件可能会损坏。因此，应当采取适当的 ESD 防范

管脚定义

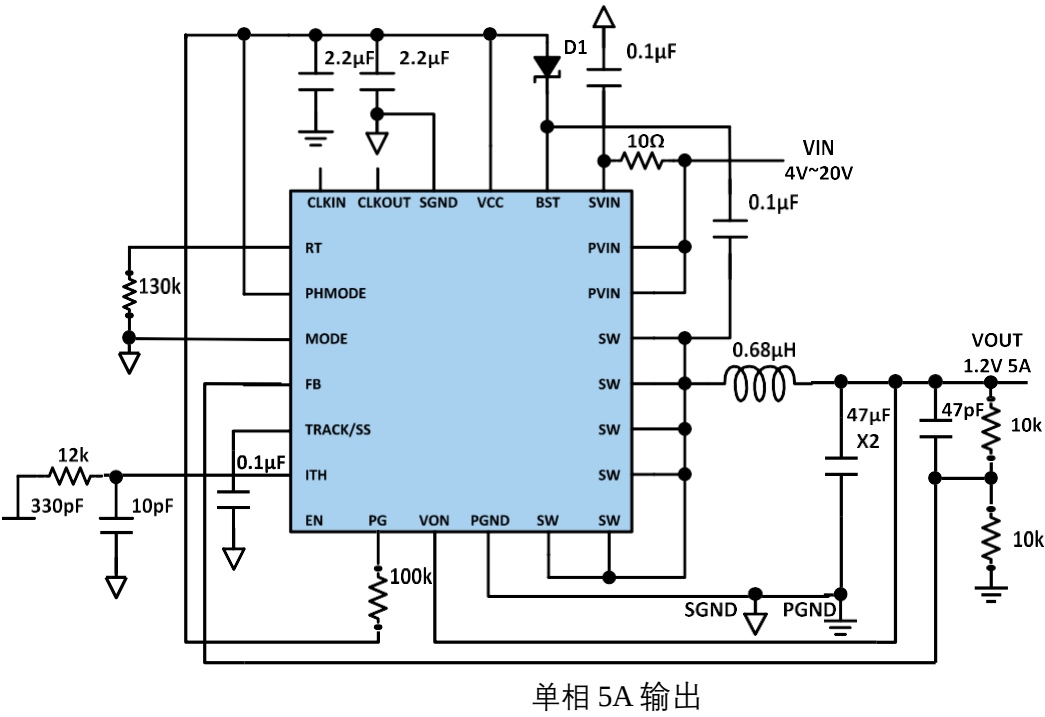
引脚编号	引脚名称	说明
1	RT	降压器工作频率设定引脚，在 RT 和 GND 之间连接一个合适的电阻，可调节开关频率从 800KHz~2MHz。
2	PHMODE	输出相位选择引脚，确定内部振荡器和 CLKOUT 之间的相位关系。将其连接到 VCC 以进行双相操作，将其连接到 SGND 以进行三相操作，并将其连接到 VCC/2 以进行四相操作。
3	MODE	模式选择，将此引脚连接到 VCC 以强制在所有输出负载下连续同步操作。将其连接到 SGND 可在轻负载下实现断续模式操作。请不要浮动该引脚。
4	FB	输出电压反馈引脚。通过 VOUT 和 GND 之间配置分压比，可以调节输出电压。
5	TRACK/SS	输出跟踪和软启动引脚。可以通过外部电容调节输出电压的上升时间。将此引脚置于低于 0.6V 的电压会绕过误差放大器的内部参考输入。高于 0.6V 时，跟踪功能停止，内部基准恢复对误差放大器的控制。
6	ITH	误差放大器输出和开关稳压器补偿点。电流比较器的触发阈值与该电压成线性比例，其正常范围为 1.2V 至 1.8V。
7	RUN	稳压器输出使能引脚，置高使能输出。可以通过配置外部电阻分压，实现 VIN 的可设置欠压保护。
8	PG	Open-drain 指示降压器输出电压正常的信号，当输出正常时，PG 停止下拉。
9	V _{ON}	输出电压节点，将此引脚连接到输出电压使导通时间与 VOUT 成正比，并在不同的 VOUT 下保持开关频率恒定。但当 VON <0.6V 或 >6V 时，开关频率将不再保持恒定。
10,EP	PGND	功率地引脚，和 VIN 之间连接一个或多个去耦陶瓷电容，尽量靠近引脚。
11~16	SW	内部功率开关节点。外部连接功率电感和 C _{BST} 电容。
17,18	PVIN	稳压器功率电源输入，使用 2.2μF 或更大的陶瓷贴片尽量贴近 VIN 至 GND。
19	SVIN	稳压器信号电源输入，在 SVIN 和 PVIN 之间连接一个（1Ω至 10Ω）电阻，并通过一个 0.1μF 电容旁路至 GND。
20	BST	自举驱动电源。需要在 BST 和 SW 之间连接高质量 100nF 陶瓷电容器，以偏置内部高压侧栅极驱动器。
21	VCC	内部 3.3V 稳压器输出，需在 VCC 和 PGND 之间连接一个 1uF~4.7uF 的陶瓷去耦电容，尽量靠近芯片引脚。
22	SGND	芯片信号地引脚。
23	CLKOUT	多相操作的输出时钟信号。CLKOUT 相对于 CLKIN 的相位由 PHMODE 引脚的状态决定。CLKOUT 的幅值为 VCC 到 GND。
24	CLKIN	外部时钟同步输入，该引脚内部端接 20k 的 SGND。锁相环将强制上管功率 NMOS 的开启信号与 CLKIN 信号的上升沿同步。

技术规格

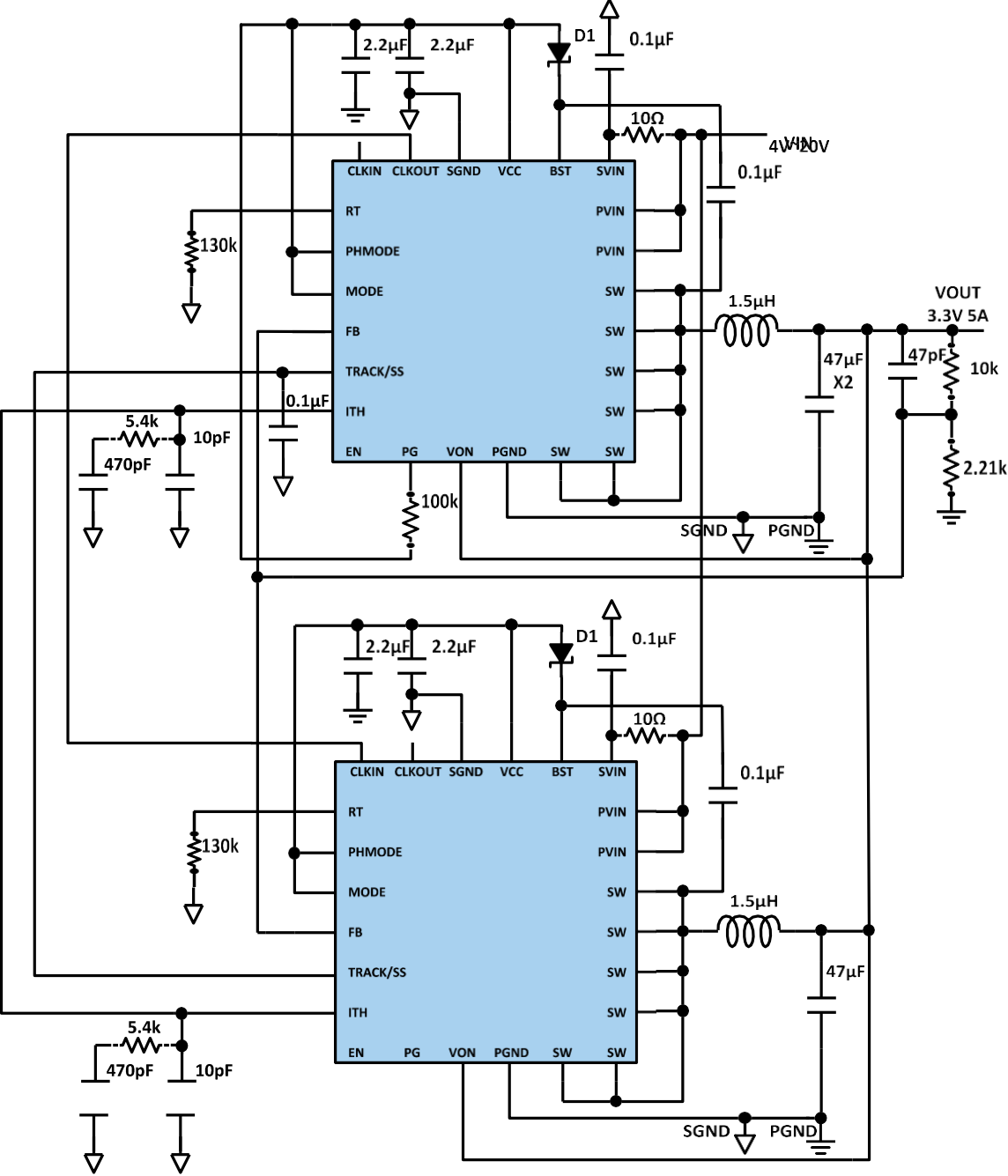
除非有特殊说明, 否则极限值适用于-40°C至+125°C的工作结温度 (T_J) 范围。最小和最大限值通过试验、设计或统计相关性规定。典型值代表 $T_J=25^\circ\text{C}$ 时最可能的参数规范, 仅供参考。所有电压都是相对于 GND。

参数		测试条件	最小值	典型值	最大值	单位
SVIN	SVIN 输入范围		4		20	V
PVIN	VIN 电源输入范围		0.9		20	V
I_Q	空载输入电流	Mode = 0, $R_T = 130k$		1.77		mA
	关断电流	$V_{IN} = 12V, EN = 0$		1.4		μA
V_{FB}	反馈基准电压	$I_{TH} = 1.2V$	0.594	0.6	0.606	V
$\Delta V_{FB(LINE)}$	反馈电压线性调整率	$V_{IN} = 4V \text{ to } 20V, I_{TH} = 1.2V$		0.001	0.03	%
$\Delta V_{FB(LOAD)}$	反馈电压负载调整率			0.1	0.3	%
I_{FB}	反馈引脚输入电流				± 30	nA
$g_m(EA)^{(1)}$	误差放大器增益	$I_{TH} = 1.2V$	1.253		1.670V	mS
$t_{ON(MIN)}^{(1)}$	最小导通时间			54		ns
$t_{OFF(MIN)}^{(1)}$	最小关断时间			162		ns
I_{LIM}	正电感电流谷值限制			5		A
	负电感电流谷值限制			-4.5		A
R_{TOP}	上管 MOS 导通电阻	$V_{CC} = 3.3V$		70	150	$m\Omega$
R_{BOTTOM}	下管 MOS 导通电阻	$V_{CC} = 3.3V$		35	60	$m\Omega$
V_{UVLO}	VCC 欠压锁定上升沿	VCC Rising		2.34		V
	VCC 欠压锁定下降沿	VCC Falling		1.78		V
V_{EN}	EN 门槛电压 2($I_Q \geq 1mA$)	EN Rising		1.1		V
	EN 门槛电压 1($I_Q \geq 100\mu A$)	EN Rising		0.5		V
V_{CC}	内部 V_{CC} 电压	$4V < V_{IN} < 20V$		3.3		V
ΔV_{CC}	V_{CC} 负载调整率	$I_{LOAD} = 0mA \text{ to } 20mA$		0.5		%
OV	输出过压阈值	V_{FB} Rising		108		%
UV	输出欠压阈值	V_{FB} Falling		89		%
$\Delta V_{FB(HYS)}$	PGOOD 滞环阈值	V_{FB} Returning		1		%
R_{PG}	PGOOD 下拉电阻			38		Ω
I_{PG}	PGOOD 漏电	$0.54V < V_{FB} < 0.66V$			2	μA
$I_{TRACK/SS}$	TRACK 上拉电流			2.5	4	μA
fs	工作频率	$R_T = 130k\Omega$		1		MHz
CLKIN	CLKIN 门槛电压	CLKIN V_{IL}			0.3	V
		CLKIN V_{IH}	1			V

典型应用1



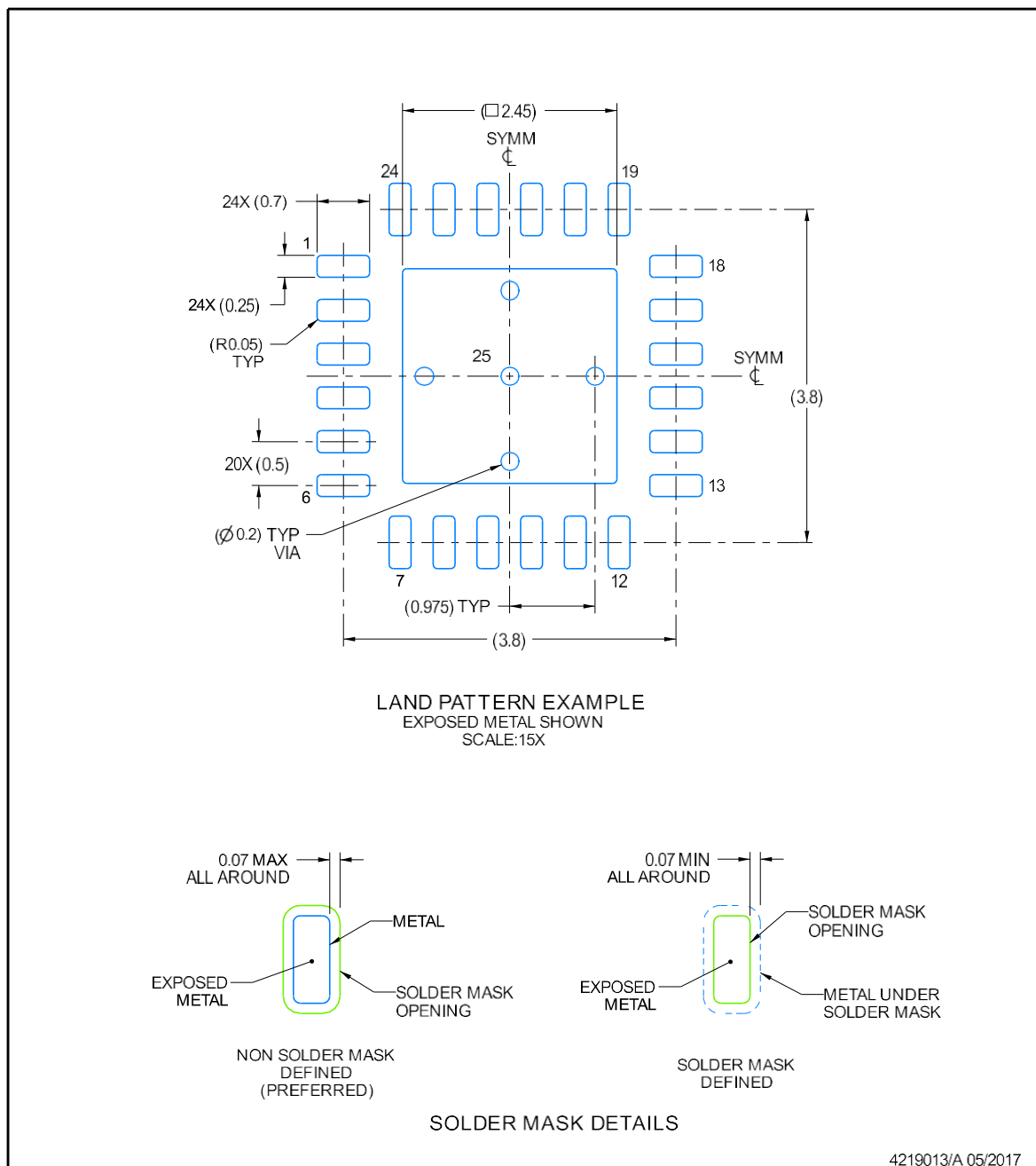
典型应用2



双相 10A 输出

器件封装焊盘布局举例(QFN4x4-24)

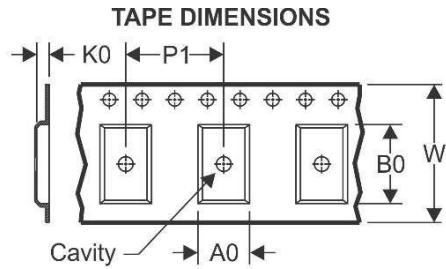
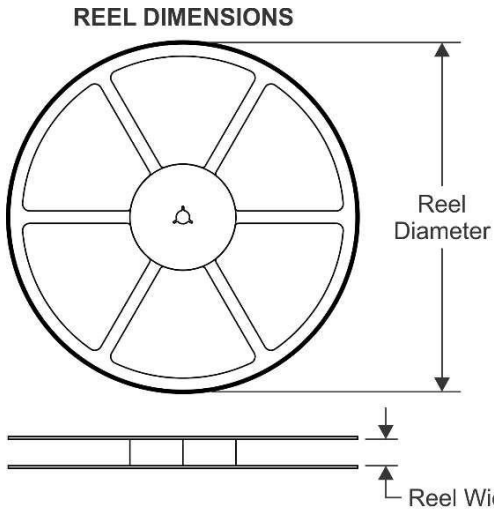
具备底部 EPAD 的 24 引脚塑封 QFN



注:

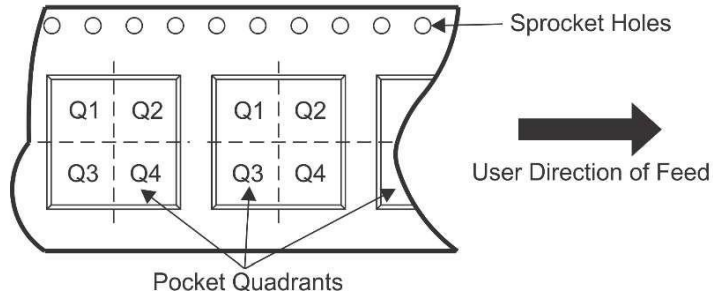
- (1) 基于 IPC-7351 依赖于久经考验的数学算法,综合考虑了制造、组装和元件容差,从而精确计算的焊盘图形。
- (2) 信号焊盘之间和周围的焊接掩膜公差可能因电路板制造而异。
- (3) 金属垫的尺寸可能因爬电要求而异。
- (4) 通孔是可选的,取决于应用,请参阅器件数据表。如果使用了过孔,请参考此视图中所示的过孔位置。建议填充、或用锡膏盖住焊盘下的过孔。

TAPE AND REEL INFORMALEGEND-SION



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*ALL dimensions are nominal

[illegible]